

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

J1002 U.S. PTO  
09/994146



#4 / Priority  
Paper  
1-3-02  
R. Stokes

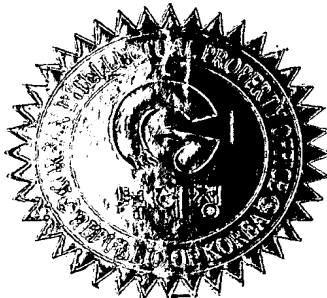
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 특허출원 2001년 제 12630 호  
Application Number

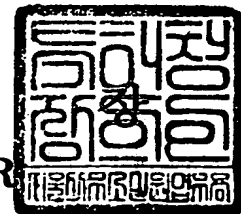
출원 년 월 일 : 2001년 03월 12일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)



2001 년 04 월 06 일

특 허 청  
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2001.03.12
【국제특허분류】	H01L
【발명의 명칭】	절연막 위의 실리콘 구조를 갖는 반도체 소자 및 그 제조 방법
【발명의 영문명칭】	Semiconductor device having a silicon on insulator structure and method for fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김민수
【성명의 영문표기】	KIM,Min Su
【주민등록번호】	730627-1241617
【우편번호】	701-120
【주소】	대구광역시 동구 방촌동 강변타운 108동 510호
【국적】	KR
【발명자】	
【성명의 국문표기】	김광일
【성명의 영문표기】	KIM,Kwang Il
【주민등록번호】	660107-1162317

【우편번호】 442-470  
【주소】 경기도 수원시 팔달구 영통동 주공아파트 840동 801호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 8 면 8,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 17 항 653,000 원  
【합계】 690,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명의 SOI 구조를 갖는 반도체 소자는, 절연막과, 절연막 위에 형성된 제1 도전형의 고립된 실리콘 영역과, 고립된 실리콘 영역의 일 단부에 형성된 제2 도전형의 소스 영역과, 고립된 실리콘 영역의 다른 단부에서 소스 영역과 이격되도록 형성된 제2 도전형의 드레인 영역과, 소스 영역 및 드레인 영역 사이에 배치되며 상부에 채널이 형성될 수 있는 고립된 바디 영역과, 소스 영역 및 고립된 바디 영역과 연결되도록 형성된 제1 도전형의 바디 컨택 영역과, 소스 영역 및 바디 컨택 영역의 상부 표면에 형성된 도전층, 및 소스 영역 상부의 도전층의 컨택 영역과 접촉되도록 형성된 소스 전극을 구비한다.

**【대표도】**

도 2a

## 【명세서】

## 【발명의 명칭】

절연막 위의 실리콘 구조를 갖는 반도체 소자 및 그 제조 방법{Semiconductor device having a silicon on insulator structure and method for fabricating the same}

## 【도면의 간단한 설명】

도 1a는 바디 콘택 구조를 채용한 종래의 SOI 구조를 갖는 반도체 소자를 나타내 보인 레이아웃도이다.

도 1b는 도 1a의 선 IB-IB'를 따라 도시한 단면도이다.

도 2a는 본 발명에 따른 SOI 구조를 갖는 반도체 소자의 일 예를 나타내 보인 레이아웃도이다.

도 2b는 도 2a의 선 IIB-IIB'를 따라 도시한 단면도이다.

도 2c는 도 2a의 선 IIC-IIC'를 따라 도시한 단면도이다.

도 2d는 도 2a의 선 IID-IID'를 따라 도시한 단면도이다.

도 3은 도 2a의 반도체 소자를 복수개 사용하여 형성한 응용 회로 소자의 레이아웃도이다.

도 4a는 본 발명에 따른 SOI 구조를 갖는 반도체 소자의 다른 예를 나타내 보인 레이아웃도이다.

도 4b는 도 4a의 선 IVB-IVB'를 따라 도시한 단면도이다.

도 4c는 도 4a의 선 IVC-IVC'를 따라 도시한 단면도이다.

도 4d는 도 4a의 선 IVD-IVD'를 따라 도시한 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 특히 절연막 위의 실리콘 구조를 갖는 반도체 소자 및 그 제조 방법에 관한 것이다.
- <13> 잘 알려진 절연막 위의 실리콘(이하 SOI ; Silicon On Insulator) 구조는, 반도체 기판 위에 비교적 두꺼운 절연막 및 단결정 실리콘막이 순차적으로 형성된 구조를 의미한다. SOI 구조를 갖는 반도체 소자는 단결정 실리콘막에 형성된 고립된 소자를 의미한다. 이와 같은 SOI 구조를 갖는 반도체 소자에 의하면, 고전압 요소들을 포함하는 반도체 집적 회로를 용이하게 만들수 있으며, 또한 반도체 집적 회로의 집적도(integration density)도 향상시킬 수 있다.
- <14> 그러나 종래의 SOI 구조를 갖는 반도체 소자에서, 고립된 바디 영역에 고정된 전압(fixed voltage)을 인가하는 것은 불가능하다. 그 결과, 고립된 바디 영역은 플로팅 상태가 되며, 누설 전류가 소스와 드레인 사이에 쉽게 발생되며, 이로 인하여 소자의 전기적인 특성이 불안정해진다. 따라서 최근에는 SOI 구조를 갖는 반도체 소자의 고립된 바디 영역에 고정된 전압을 인가하기 위한 방법들이 제안된 바 있으며, 그 대표적인 방법이 바디 컨택(body contact) 구조를 채용하는 방법이다.
- <15> 도 1a는 바디 컨택 구조를 채용한 종래의 SOI 구조를 갖는 반도체 소자를 나타내 보인 레이아웃도이다. 그리고 도 1b는 도 1a의 선 IB-IB'를 따라 도시한 단면도이다.
- <16> 도 1a 및 도 1b를 참조하면, p-형의 반도체 기판(10) 위에 절연막(11)이 형성되고,

이 절연막(11) 위에 고립된 p-형 실리콘 영역(12)이 제공된다. 상기 고립된 p-형 실리콘 영역(12) 내에는 n<sup>+</sup>형 소스 영역(13), n<sup>+</sup>형 드레인 영역(14) 및 p-형 바디 영역(15)이 형성된다. p-형 바디 영역(15)은 고립된(insular) 형태로 존재하며, 상부에 채널이 형성될 수 있다. 상기 p-형 바디 영역(15) 옆에는 p<sup>+</sup>형 바디 컨택 영역(16)이 형성된다. p-형 실리콘 영역(12) 및 p<sup>+</sup>형 바디 컨택 영역(16)의 바깥 주위에는 트렌치 아이솔레이션막(17)이 형성된다. 게이트 절연막(18) 및 게이트 도전막(19)은 p형 채널 영역(15)의 표면 위에서 순차적으로 형성된다. n<sup>+</sup>형 소스 영역(13) 및 n<sup>+</sup>형 드레인 영역(14)은 각각 소스 컨택(13c) 및 드레인 컨택(14c)을 통해 소스 전극(미도시) 및 드레인 전극(미도시)과 연결된다. 게이트 도전막(19)은 게이트 컨택(19c)을 통해 게이트 전극(20)과 연결된다. 그리고 p<sup>+</sup>형 바디 컨택 영역(16)은 바디 컨택(16c)을 통해 바디 컨택 전극(21)과 연결되며, 각 전극들은 층간 절연막(22)에 의해 상호 절연된다.

<17> 이와 같은 종래의 SOI 구조를 갖는 반도체 소자는, 바디 컨택 전극(21)을 통해 고립된 p-형 바디 영역(15)에 그라운드 포텐셜(ground potential)과 같은 고정된 전압을 인가할 수 있다. 그러나 상기 반도체 소자는 바디 컨택(16c)에 의해 소자의 면적이 증가되며, 특히 여러개의 트랜지스터를 이용하여 하나의 응용 회로를 구성하는 경우 사용되는 트랜지스터의 개수에 비례하는 바디 컨택 영역이 필요하므로 소자의 집적도가 더욱 더 감소한다.

#### 【발명이 이루고자 하는 기술적 과제】

<18> 본 발명이 이루고자 하는 기술적 과제는, 높은 집적도를 가지면서 고립된 바디 영역에 일정한 전압을 인가할 수 있는 SOI 구조를 갖는 반도체 소자를 제공하는 것이다.

<19> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 SOI 구조를 갖는 반도체 소자를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 SOI 구조를 갖는 반도체 소자는, 절연막과, 상기 절연막 위에 형성된 제1 도전형의 고립된 실리콘 영역과, 상기 고립된 실리콘 영역의 일 단부에 형성된 제2 도전형의 소스 영역과, 상기 고립된 실리콘 영역의 다른 단부에서 상기 소스 영역과 이격되도록 형성된 제2 도전형의 드레인 영역과, 상기 소스 영역 및 드레인 영역 사이에 배치되며 상부에 채널이 형성될 수 있는 고립된 바디 영역과, 상기 소스 영역 및 상기 고립된 바디 영역과 연결되도록 형성된 제1 도전형의 바디 컨택 영역과, 상기 소스 영역 및 상기 바디 컨택 영역의 상부 표면에 형성된 도전층, 및 상기 소스 영역 상부의 도전층의 컨택 영역과 접촉되도록 형성된 소스 전극을 구비하는 것을 특징으로 한다.

<21> 상기 바디 컨택 영역은 상기 소스 영역의 한쪽 측면에 형성되는 것이 바람직하다.  
상기 바디 컨택 영역은 상기 소스 영역의 양쪽 측면에 형성될 수도 있다.

<22> 상기 절연막은 산화막인 것이 바람직하다.

<23> 상기 고립된 실리콘 영역은 단결정 실리콘막인 것이 바람직하다.

<24> 본 발명에 있어서, 상기 고립된 바디 영역 위에 형성된 게이트 절연막과, 상기 게이트 절연막 위에 형성된 게이트 도전막과, 상기 게이트 도전막과 전기적으로 연결되도록 형성된 게이트 전극, 및 상기 드레인 영역과 전기적으로 연결되도록 형성된 드레인 전극을 더 포함하는 것이 바람직하다.



- <25>      상기 도전층은 샬리사이드층인 것이 바람직하며, 이 경우 상기 샬리사이드층은 코발트 샬리사이드층, 티타늄 샬리사이드층 또는 니켈 샬리사이드층인 것이 바람직하다.
- <26>      상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형이다. 또는 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형이다.
- <27>      상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 SOI 구조를 갖는 반도체 소자의 제조 방법은, 절연막 위에 제1 도전형의 실리콘막이 형성된 SOI 구조체를 준비하는 단계와, 상기 실리콘막을 둘러싸는 아이솔레이션막을 형성하여 상기 절연막 위의 고립된 실리콘 영역을 형성하는 단계와, 상기 고립된 실리콘 영역의 일부 표면을 덮는 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 위에 게이트 도전막을 형성하는 단계와, 상기 게이트 도전막에 의해 노출된 고립된 실리콘 영역에 제2 도전형의 소스 영역 및 드레인 영역을 형성하여 상기 소스 영역 및 드레인 영역 사이의 고립된 바디 영역을 한정하는 단계와, 상기 소스 영역의 측면 및 상기 고립된 바디 영역에 연결되도록 제1 도전형의 바디 콘택 영역을 형성하는 단계와, 상기 소스 영역 및 바디 콘택 영역의 표면에 도전층을 형성하는 단계, 및 상기 소스 영역 상부의 도전층과 연결되는 소스 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <28>      상기 SOI 구조체는 에피택셜 성장법, 웨이퍼 접합법 또는 SIMOX 방법을 사용하여 형성하는 것이 바람직하다.
- <29>      상기 아이솔레이션막은 로코스 아이솔레이션 방법을 이용하거나 트랜치 아이솔레이션 방법을 이용하여 형성하는 것이 바람직하다.
- <30>      상기 도전층은 샬리사이드층인 것이 바람직하며, 이 경우 상기 샬리사이드층은 코

발트 셀리사이드층, 티타늄 셀리사이드층 또는 니켈 셀리사이드층인 것이 바람직하다.

<31> 상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형이다. 또는 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형이다.

<32> 이하 첨부 도면을 참조하면서 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 다음에 설명되는 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것은 아니다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 본 발명의 실시예들을 설명하는 도면에 있어서, 어떤 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것으로, 도면상의 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 '상부'에 있다고 기재된 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제3의 층이 개재될 수도 있다.

<33> 도 2a는 본 발명에 따른 SOI 구조를 갖는 반도체 소자, 예컨대 SOI 구조를 갖는 n형 트랜지스터의 일 예를 나타내 보인 레이아웃도이다. 그리고 도 2b, 도 2c 및 도 2d는 각각 도 2a의 선 II-B-II-B', 선 II-C-II-C' 및 선 II-D-II-D'를 따라 도시한 단면도들이다.

<34> 도 2a 내지 도 2d를 참조하면, p-형의 반도체 기판(100) 위에 절연막(110)이 형성되며, 이 절연막(110) 위에 단결정 실리콘막으로 이루어진 고립된 p-형 실리콘 영역(120)이 제공된다. 상기 고립된 p-형 실리콘 영역(120) 내에는 n<sup>+</sup>형 소스 영역(130), n<sup>+</sup>형 드레인 영역(140) 및 p-형 바디 영역(150)이 형성된다. p-형 바디 영역(150)은 고

립된 형태로 존재하며, 상부에 채널이 형성될 수 있다. 상기  $n^+$ 형 소스 영역(130)과 고립된  $p$ -형 바디 영역(150) 옆에는  $p^+$ 형 바디 컨택 영역(160)이 형성된다. 즉  $p^+$ 형 바디 컨택 영역(160)은  $n^+$ 형 소스 영역(130)의 한쪽 측면과 접촉되면서, 동시에 고립된  $p$ -형 바디 영역(150)의 한쪽 단부에도 접촉된다. 상기  $p^+$ 형 바디 컨택 영역(160)과  $n^+$ 형 소스 영역(130)의 상부에는 도전층, 예컨대 샐리사이드층(salicide layer)(170)이 형성된다. 상기 샐리사이드층(170)으로는 코발트 샐리사이드층, 티타늄 샐리사이드층 또는 니켈 샐리사이드층을 사용한다.  $p$ -형 실리콘 영역(120) 및  $p^+$ 형 바디 컨택 영역(160)의 바깥 주위에는 트렌치 아이솔레이션막(180)이 형성된다. 게이트 절연막(190) 및 게이트 도전막(200)은 고립된  $p$ -형 바디 영역(150)의 표면 위에서 순차적으로 형성된다.  $n^+$ 형 소스 영역(130)은 샐리사이드층(170) 상부 표면의 소스 컨택(130c)을 통해 소스 전극(210)과 연결되고,  $n^+$ 형 드레인 영역(140)은 샐리사이드층(170)과 드레인 컨택(140c)을 통해 드레인 전극(220)과 연결된다. 게이트 도전막(200)은 샐리사이드층(170)과 게이트 컨택(200c)을 통해 게이트 전극(230)과 연결된다. 그리고 각 전극들은 층간 절연막(240)에 의해 상호 절연된다.

<35> 이와 같이 상기 반도체 소자의  $p^+$ 형 바디 컨택 영역(160)은 고립된  $p$ -형 바디 영역(150)과 직접 연결되고, 소스 전극(210)과는 샐리사이드층(170)을 통하여 연결된다. 따라서 소스 전극(210)이 그라운드 포텐셜을 갖는 경우 고립된  $p$ -형 바디 영역(150)에도 일정한 그라운드 포텐셜을 유지시킨다. 또한  $p^+$ 형 바디 컨택 영역(160) 내에 별도의 컨택 영역 형성이 불필요하므로 소자가 차지하는 면적을 감

소시켜 소자의 집적도를 향상시키며, 이에 따라 통상의 SOI 구조를 갖는 반도체 소자에 사용되는 레이아웃을 용이하게 적용할 수 있다. 즉 통상의 SOI 구조를 갖는 반도체 소자에 사용되는 레이아웃에 단지 p<sup>+</sup>형 바디 콘택 영역(160)만 추가하면 되며, 그 추가 면적도 별도의 콘택 영역 형성의 불필요성으로 인하여 작아진다.

<36> 도 3은 도 2a의 반도체 소자를 복수개 사용하여 형성한 응용 회로 소자의 레이아웃도이다.

<37> 도 3을 참조하면, 본 발명에 따른 SOI 구조를 갖는 반도체 소자, 예컨대 SOI 구조의 트랜지스터 6개를 사용하여 응용 회로 소자를 형성한 경우, 제1 내지 제6 게이트 도전막들(201, 202, ..., 206)이 상호 일정 간격 이격되도록 형성된다. 제1 내지 제6 게이트 도전막들(201, 202, ..., 206)은 각각 제1 내지 제6 게이트 콘택(201c, 202c, ..., 206c)을 통해 게이트 전극과 연결된다. 제1 내지 제6 게이트 도전막(201, 202, ..., 206)의 양쪽에는 각각 소스 또는 드레인 영역으로 사용되는 제1 내지 제7 n<sup>+</sup>형 영역들(131, 132, ..., 137)이 형성된다. 특히 제1, 제4 및 제7 n<sup>+</sup>형 영역들(131, 134, 137)은 그라운드 포텐셜을 갖는 소스 영역으로 사용되고, 제2, 제3, 제5 및 제6 n<sup>+</sup>형 영역들(132, 133, 135, 136)은 게이트 전극에 인가되는 신호에 따라 소정의 전압이 나타나는 소스 영역 또는 드레인 영역으로 사용된다. 예를 들면 제2 n<sup>+</sup>형 영역(132)의 경우, 제1 게이트 도전막(201)을 갖는 제1 트랜지스터에서는 드레인 영역으로 사용되지만, 제2 게이트 도전막(202)을 갖는 제2 트랜지스터에서는 소스 영역으로도 사용된다. 단 제2 트랜지스터의 소스 영역으로 사용되는 경우 게이트 전극에 인가되는 전압에 따라 소정의 전압이 나타난다. 제5 n<sup>+</sup>형 영역(135)도 제2 n<sup>+</sup>형 영역(132)의 경우와 동일하다.

<38> 이와 같이 제2 게이트 도전막(202)을 갖는 제2 트랜지스터와 제5 게이트 도전막

(205)을 갖는 제5 트랜지스터와 같이, 게이트 전극에 인가된 전압에 따라 소스 영역 및 드레인 영역에 소정 전압이 나타나는 트랜지스터를 패스 트랜지스터(pass transistor)(P1, P2)라 한다. 패스 트랜지스터(P1, P2)의 경우 소스 영역(132, 135)이 그라운드 포텐셜을 갖지 않으므로  $p^+$ 형 바디 콘택 영역(160)이 소스 콘택(132c, 135c)과 연결될 필요가 없다. 따라서  $p^+$ 형 바디 콘택 영역(160)은 패스 트랜지스터(P1, P2) 이외의 트랜지스터들의 접지된 소스 콘택들(131c, 134c, 137c)과 연결되도록 형성되며, 패스 트랜지스터(P1, P2)에서는 단순히 패스 트랜지스터(P1, P2)의 게이트 도전막(202, 205) 하부의 고립된  $p$ -형 바디 영역에만 연결되면 된다. 이와 같이  $p^+$ 형 바디 콘택 영역(160)이 패스 트랜지스터(P1, P2)의 고립된  $p$ -형 바디 영역에 연결되도록 함으로써, 패스 트랜지스터(P1, P2)의 고립된  $p$ -형 바디 영역도 일정한 그라운드 포텐셜을 가질 수 있으며, 이에 따라 다양한 응용 회로들을 구성할 수 있다.

<39> 도 4a는 본 발명에 따른 SOI 구조를 갖는 반도체 소자의 다른 예를 나타내 보인 레이아웃도이다. 그리고 도 4b, 도 4c 및 도 4d는 각각 도 4a의 선 IVB-IVB', 선 IVC-IVC' 및 선 IVD-IVD'를 따라 도시한 단면도들이다.

<40> 본 실시예는  $p^+$ 형 바디 콘택 영역이  $n^+$ 형 소스 영역의 양측부에 형성된다는 점에서 앞서 설명한 실시예와 상이하다. 즉 도 4a 내지 도 4d에 도시된 바와 같이,  $p$ -형의 반도체 기판(400) 위에 절연막(410)이 형성되며, 이 절연막(410) 위에는 단결정 실리콘막으로 이루어진 고립된  $p$ -형 실리콘 영역(420)이 제공된다. 상기 고립된  $p$ -형 실리콘 영역(420) 내에는  $n^+$ 형 소스 영역(430),  $n^+$ 형 드레인 영역(440) 및 고립된  $p$ -형 바디 영역(450)이 형성된다. 상기  $n^+$ 형 소스 영역(430)과 고립된  $p$ -형 바디 영역(450) 옆에는  $p^+$ 형 바디 콘택 영역들(461, 462)이 형성된다. 이때  $p^+$ 형 바디 콘택 영역들(461,

462)은  $n^+$ 형 소스 영역(430)의 양쪽 측면과 접촉되면서, 동시에 고립된  $p$ -형 바디 영역(450)의 양쪽 단부에도 접촉된다. 이와 같이  $p^+$ 형 바디 컨택 영역들(461, 462)이  $n^+$ 형 소스 영역(430) 양쪽 측면에 형성시킴으로써 고립된  $p$ -형 바디 영역(450) 내에 축적되는 캐리어, 예컨대 홀(hole)의 배출 통로를 충분히 확보할 수 있으며, 이에 따라 플로팅 바디 효과를 억제시킬 수 있다는 장점이 있다. 특히 트랜지스터의 폭이 큰 경우 즉 홀의 배출 통로 길이가 긴 경우에는 보다 큰 효과를 발휘할 수 있다는 것은 당연하다.

<41>      상기  $p^+$ 형 바디 컨택 영역들(461, 462)과  $n^+$ 형 소스 영역(430)의 상부에는 셀리사이드층(salicide layer)(470)이 형성된다. 상기 셀리사이드층(470)으로는 코발트 셀리사이드층, 티타늄 셀리사이드층 또는 니켈 셀리사이드층을 사용하는 것이 바람직하지만, 이와 유사한 것도 사용이 가능하다.  $p$ -형 실리콘 영역(420) 및  $p^+$ 형 바디 컨택 영역(460)의 바깥 주위에는 트렌치 아이솔레이션막(480)이 형성된다. 게이트 절연막(490) 및 게이트 도전막(500)은  $p$ -형 바디 영역(450)의 표면 위에서 순차적으로 형성된다.  $n^+$ 형 소스 영역(430)은 셀리사이드층(470) 상부 표면의 소스 컨택(430c)을 통해 소스 전극(510)과 연결되고,  $n^+$ 형 드레인 영역(440)은 셀리사이드층(470)과 드레인 컨택(440c)을 통해 드레인 전극(520)과 연결된다. 게이트 도전막(500)은 셀리사이드층(470)과 게이트 컨택(500c)을 통해 게이트 전극(530)과 연결된다. 그리고 각 전극들은 층간 절연막(540)에 의해 상호 절연된다.

<42>      상기 반도체 소자에 있어서도,  $p^+$ 형 바디 컨택 영역들(460)은 고립된  $p$ -형 바디 영역(450)과 직접 연결되고, 소스 전극(510)과는 셀리사이드층(470)을 통하여 연결된다. 따라서 소스 전극(510)이 그라운드 포텐셜을 갖는 경우 고립된  $p$ -형 바디 영역(450)에도

일정한 그라운드 포텐셜을 유지시킨다. 또한  $p^+$ 형 바디 컨택 영역들(461, 462) 내에 별도의 컨택 영역 형성이 불필요하므로 소자가 차지하는 면적을 감소시켜 소자의 집적도를 향상시키며, 이에 따라 통상의 SOI 구조를 갖는 반도체 소자에 사용되는 레이아웃을 용이하게 적용할 수 있다. 즉 통상의 SOI 구조를 갖는 반도체 소자에 사용되는 레이아웃에 단지  $p^+$ 형 바디 컨택 영역들(161, 162)만 추가하면 되며, 그 추가 면적도 별도의 컨택 영역 형성의 불필요성으로 인하여 작아진다.

<43> 지금까지 SOI 구조를 갖는 n채널형 트랜지스터를 예를 들어 설명하였지만, SOI 구조를 갖는 p채널형 트랜지스터의 경우도 동일한 효과가 있다는 것은 당연하다. 단지 SOI 구조를 갖는 p채널형 트랜지스터의 경우, 반도체 기판 및 바디 영역의 도전형은 n-형이 되고, 소스 영역 및 드레인 영역의 도전형은  $p^+$ 형이 되며, 그리고 바디 컨택 영역의 도전형은  $n^+$ 형이 된다.

<44> 이하 도 2a 내지 도 2d를 참조하면서 본 발명에 따른 SOI 구조를 갖는 반도체 소자의 제조 방법을 설명하기로 한다.

<45> 먼저 실리콘으로 이루어진 p-형 반도체 기판(100) 위에 절연막(110)을 형성한다. 상기 절연막(110)은 산화막을 사용하여 형성할 수 있다. 다음에 절연막(110) 위에 p-형 실리콘 영역(120)을 형성한다. 이 p-형 바디 영역(120)은 p형 불순물 이온들을 주입시키면서 단결정 실리콘층을 에피택셜 성장시킴으로써 형성할 수 있으나, 이에 한정되는 것은 아니다. 즉 웨이퍼 접합(bonded wafer) 방법이나 또는 SIMOX(Separation by IMplanted OXygen) 방법을 사용할 수도 있다. 다

음에, 통상의 아이솔레이션 방법을 사용하여 p-형 실리콘 영역(120)을 한정하는 아이솔레이션막(180)을 형성한다. 이 아이솔레이션막(180)은 트렌치 형태의 아이솔레이션막이지만 로코스(LOCOS ; LOCal Oxidation of Silicon) 방법을 사용하여 형성할 수도 있다. 다음에 게이트 절연막(190) 및 게이트 도전막(200)을 형성한다. 이를 위하여 산화막 및 도전막을 순차적으로 형성하고, 통상의 마스크막 패턴을 이용하여 산화막 및 도전막을 패터닝한다.

<46> 다음에  $n^+$ 형 소스 영역(130) 및  $n^+$ 형 드레인 영역(140)이 형성될 영역, 즉 게이트 도전막(200)의 양쪽 부분을 노출시키는 마스크막 패턴과 게이트 도전막(200)을 이온 주입 마스크로 n형 불순물 이온들을 주입한다. 그리고 상기 마스크막 패턴을 제거한 후에, 다시  $p^+$ 형 바디 컨택 영역(160)이 형성될 영역,  $n^+$ 형 소스 영역(130)이 형성될 영역의 한쪽 측면 부분을 노출시키는 마스크막 패턴과 게이트 도전막(200)을 이온 주입 마스크로 p형 불순물 이온들을 주입한다. 다음에 상기 마스크막 패턴을 제거하고, 주입된 n형 불순물 이온들과 p형 불순물 이온들을 확산시켜  $n^+$ 형 소스 영역(130),  $n^+$ 형 드레인 영역(140) 및  $p^+$ 형 바디 컨택 영역(160)을 형성한다. 다음에 층간 절연막을 형성하고 이 층간 절연막의 일부를 식각하여 소스 컨택(130c)을 위한 컨택 홀, 드레인 컨택(140c)을 위한 컨택 홀 및 게이트 컨택(200c)을 위한 컨택 홀을 형성한다. 그리고 이 컨택 홀들을 각각 채우는 소스 전극(210), 드레인 전극(220) 및 게이트 전극(230)을 형성한다.

<47> 이상 SOI 구조를 갖는 n형 트랜지스터의 경우를 예를 들어 설명하였지만, SOI 구조를 갖는 p채널형 트랜지스터의 경우도 동일한 방법을 사용할 수 있다는 것은 당연하다. 단지 SOI 구조를 갖는 p채널형 트랜지스터의 경우, 반도체 기판 및 바디 영역의 도전형은 n-형이 되고, 소스 영역 및 드레인 영역에 주입되는 불순물 이온의 도전형은  $p^+$ 형이



며, 그리고 바디 컨택 영역에 주입되는 불순물 이온의 도전형은  $n^+$ 형이다. 또한 SOI 구조를 갖는  $n$ 형 트랜지스터와 SOI 구조를 갖는  $p$ 형 트랜지스터가 상보형(complementary)으로 사용될 경우,  $n$ 형 트랜지스터의  $n^+$ 형 소스 영역 및  $n^+$ 형 드레인 영역은  $p$ 형 트랜지스터의 바디 컨택 영역 형성시에 같이 형성하고, 마찬가지로  $n$ 형 트랜지스터의  $p^+$ 형 바디 컨택 영역은  $p$ 형 트랜지스터의  $p^+$ 형 소스 영역 및 드레인 영역 형성시에 같이 형성한다.

<48> 한편, 도 4a 내지 도 4d에 도시된 본 발명의 다른 실시예에 따른 SOI 구조를 갖는 반도체 소자의 제조 방법은 앞서 설명한 제1 실시예에 따른 반도체 소자의 제조 방법과 거의 유사하다. 다만,  $p^+$ 형 바디 컨택 영역(460) 형성을 위한  $p$ 형 불순물 이온들을 주입할 때 이온 주입 마스크로 사용되는 마스크막 패턴으로서  $n^+$ 형 소스 영역(430)의 양쪽 측면을 노출시키는 마스크막 패턴을 사용한다.

#### 【발명의 효과】

<49> 이상의 설명에서와 같이, 본 발명에 따른 SOI 구조를 갖는 반도체 소자 및 그 제조 방법에 의하면 다음과 같은 이점들이 있다.

<50> 첫째로, 바디 컨택 영역이 샐리사이드층을 통해 소스 전극과 연결되므로 바디 컨택 내에 별도의 컨택 영역 형성이 불필요하며, 이에 따라 소자의 집적도를 향상시킬 수 있다.

<51> 둘째로, 단지 바디 컨택 영역만 추가로 형성하면 되므로 통상의 SOI 구조를 갖는 반도체 소자에 사용되는 레이아웃에 대한 많은 수정 없이 적용이 가능하다.

<52> 셋째로, 바디 컨택 영역이 고립된 바디 영역 내에 축적된 캐리어의 이동 통로 역할

을 하므로 플로팅 바디 효과가 억제된다.

<53> 그리고 넷째로, 소스 영역 및 드레인 영역이 모두 그라운드 포텐셜을 갖지 않는 패스 트랜지스터의 경우에도 바디 컨택 영역을 인접한 트랜지스터의 소스 컨택에 연결시킴으로써 패스 트랜지스터의 고립된 바디 영역에 그라운드 포텐셜을 제공할 수 있다.

**【특허청구범위】****【청구항 1】**

절연막;

상기 절연막 위에 형성된 제1 도전형의 고립된 실리콘 영역;

상기 고립된 실리콘 영역의 일 단부에 형성된 제2 도전형의 소스 영역;

상기 고립된 실리콘 영역의 다른 단부에서 상기 소스 영역과 이격되도록 형성된 제2 도전형의 드레인 영역;

상기 소스 영역 및 드레인 영역 사이에 배치되며 상부에 채널이 형성될 수 있는 고립된 바디 영역;

상기 소스 영역 및 상기 고립된 바디 영역과 연결되도록 형성된 제1 도전형의 바디 콘택 영역;

상기 소스 영역 및 상기 바디 콘택 영역의 상부 표면에 형성된 도전층; 및

상기 소스 영역 상부의 도전층의 콘택 영역과 접촉되도록 형성된 소스 전극을 구비하는 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자.

**【청구항 2】**

제1항에 있어서,

상기 바디 콘택 영역은 상기 소스 영역의 한쪽 측면에 형성되는 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자.

**【청구항 3】**

제1항에 있어서,

상기 바디 컨택 영역은 상기 소스 영역의 양쪽 측면에 형성되는 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자.

**【청구항 4】**

제1항에 있어서,

상기 절연막은 산화막인 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자.

**【청구항 5】**

제1항에 있어서,

상기 고립된 실리콘 영역은 단결정 실리콘막인 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자.

**【청구항 6】**

제1항에 있어서,

상기 고립된 바디 영역 위에 형성된 게이트 절연막;

상기 게이트 절연막 위에 형성된 게이트 도전막;

상기 게이트 도전막과 전기적으로 연결되도록 형성된 게이트 전극; 및

상기 드레인 영역과 전기적으로 연결되도록 형성된 드레인 전극을 더 포함하는 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자.

**【청구항 7】**

제1항에 있어서,

상기 도전층은 셀리사이드층인 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자.

**【청구항 8】**

제6항에 있어서,

상기 샬리사이드층은 코발트 샬리사이드층, 티타늄 샬리사이드층 또는 니켈 샬리사이드층인 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자.

**【청구항 9】**

제1항에 있어서,

상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형인 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자.

**【청구항 10】**

제1항에 있어서,

상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형인 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자.

**【청구항 11】**

절연막 위에 제1 도전형의 실리콘막이 형성된 SOI 구조체를 준비하는 단계;

상기 실리콘막을 둘러싸는 아이솔레이션막을 형성하여 상기 절연막 위의 고립된 실리콘 영역을 형성하는 단계;

상기 고립된 실리콘 영역의 일부 표면을 덮는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 게이트 도전막을 형성하는 단계;

상기 게이트 도전막에 의해 노출된 고립된 실리콘 영역에 제2 도전형의 소스 영역 및 드레인 영역을 형성하여 상기 소스 영역 및 드레인 영역 사이의 고립된 바디 영역을

한정하는 단계:

상기 소스 영역의 측면 및 상기 고립된 바디 영역에 연결되도록 제1 도전형의 바디 콘택 영역을 형성하는 단계;

상기 소스 영역 및 바디 콘택 영역의 표면에 도전층을 형성하는 단계; 및

상기 소스 영역 상부의 도전층과 연결되는 소스 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자의 제조 방법.

**【청구항 12】**

제10항에 있어서,

상기 SOI 구조체는, 에피택셜 성장법, 웨이퍼 접합 또는 SIMOX 방법을 사용하여 형성하는 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자의 제조 방법.

**【청구항 13】**

제10항에 있어서,

상기 아이솔레이션막은 로코스 아이솔레이션 방법을 이용하거나 트랜치 아이솔레이션 방법을 이용하여 형성하는 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자의 제조 방법.

**【청구항 14】**

제10항에 있어서,

상기 도전층은 셀리사이드층인 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자의 제조 방법.

**【청구항 15】**

제13항에 있어서,

상기 셀리사이드층은 코발트 셀리사이드층, 티타늄 셀리사이드층 또는 니켈 셀리사이드층인 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자의 제조 방법.

**【청구항 16】**

제10항에 있어서,

상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형인 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자의 제조 방법.

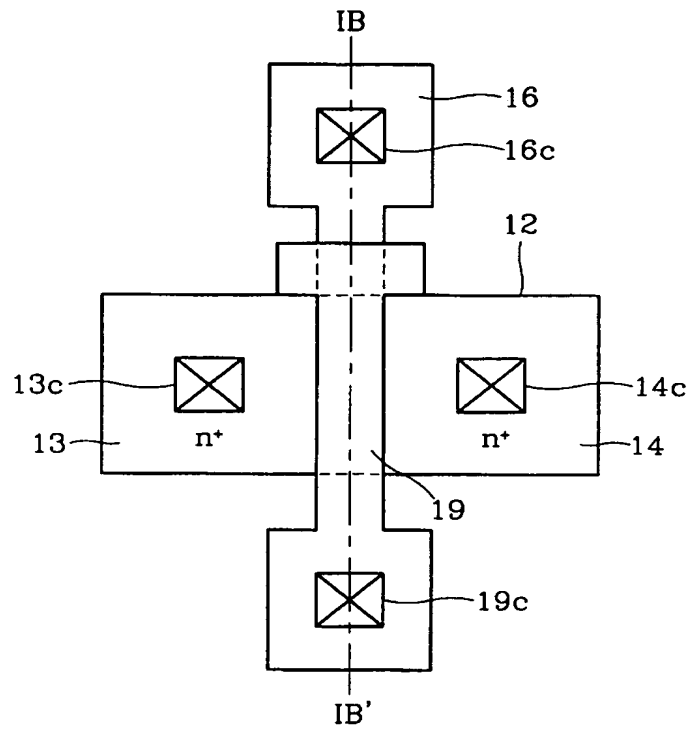
**【청구항 17】**

제10항에 있어서,

상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형인 것을 특징으로 하는 SOI 구조를 갖는 반도체 소자의 제조 방법.

## 【도면】

【도 1a】



【도 1b】

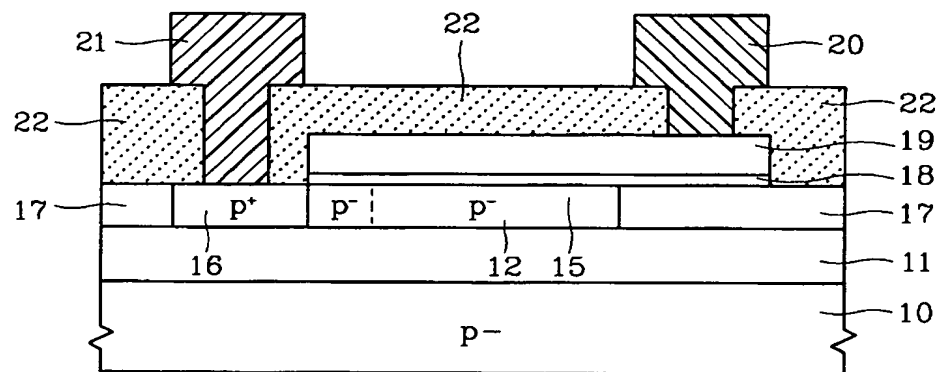
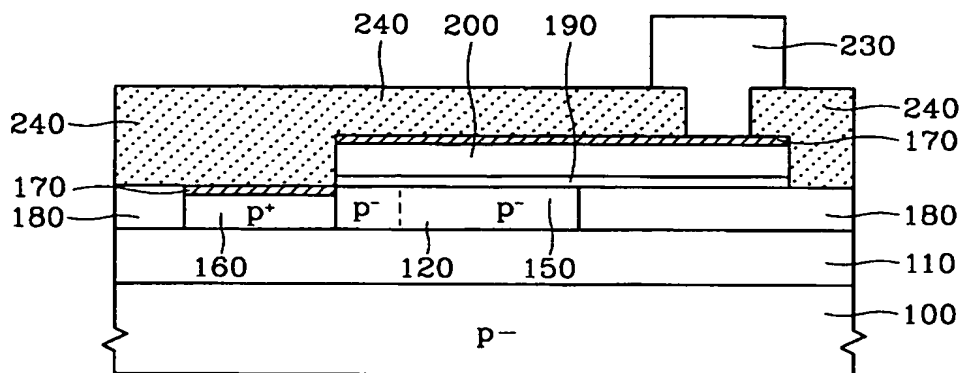


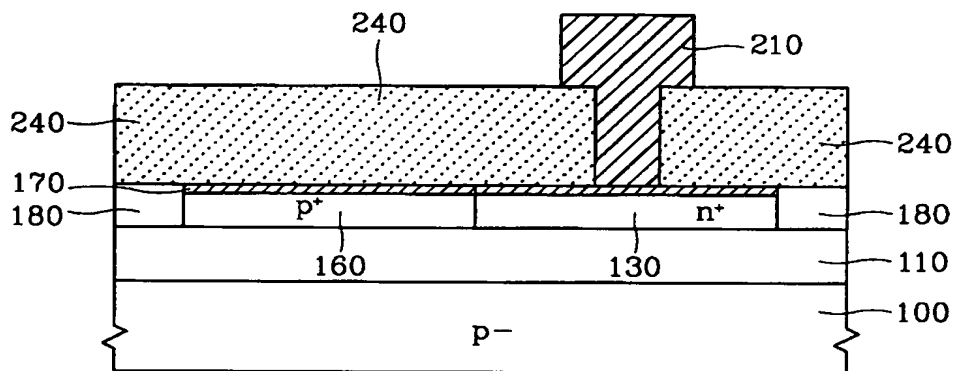


Diagram illustrating a cross-sectional view of a semiconductor device. The device features a central channel region 160, which is a p<sup>+</sup> region. This channel region is flanked by two n<sup>+</sup> regions, 130 and 140, which are part of a larger n<sup>+</sup> substrate. A third n<sup>+</sup> region, 200, is located below the channel region 160. The device is defined by a top surface 160 and a bottom surface 200. The regions 130, 140, and 200 are separated by a central vertical channel. The regions 130 and 140 are also separated by a horizontal channel. The regions 130 and 140 are labeled with n<sup>+</sup> and the regions 130c and 140c are labeled with n<sup>+</sup>. The regions 130 and 140 are also labeled with IIB and IIB' respectively. The regions 130 and 140 are also labeled with IID and IIC respectively. The regions 130 and 140 are also labeled with IID' and IIC' respectively. The regions 130 and 140 are also labeled with 130c and 140c respectively. The regions 130 and 140 are also labeled with 200c respectively.

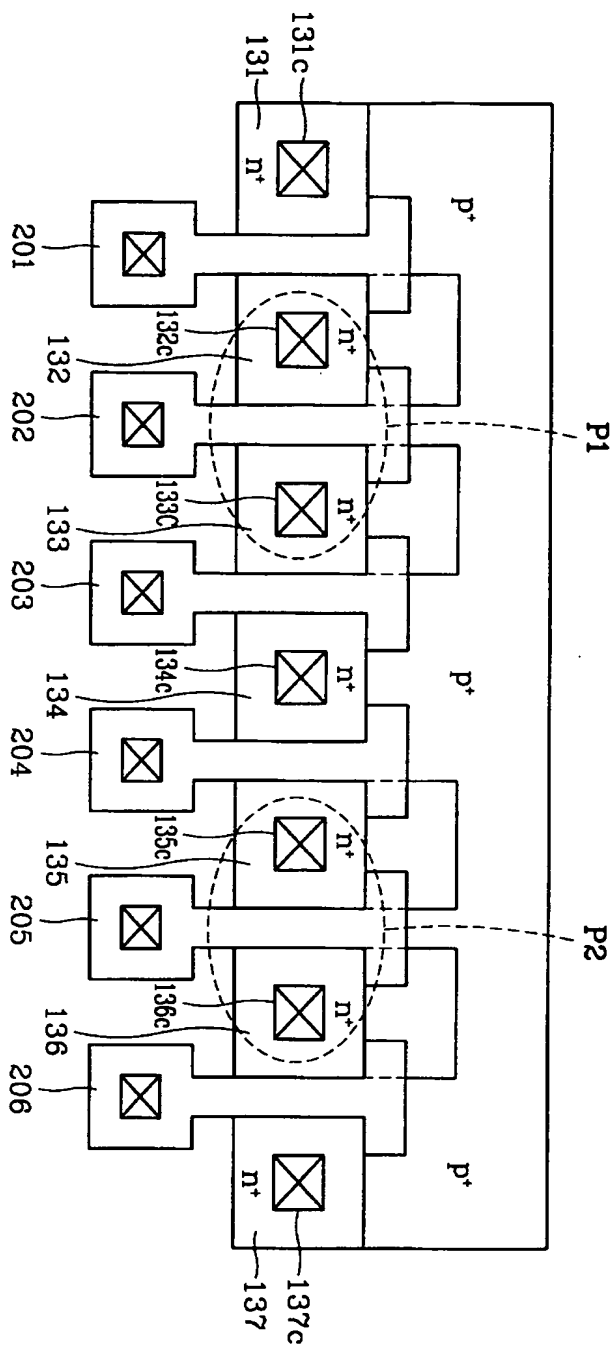
【도 2c】



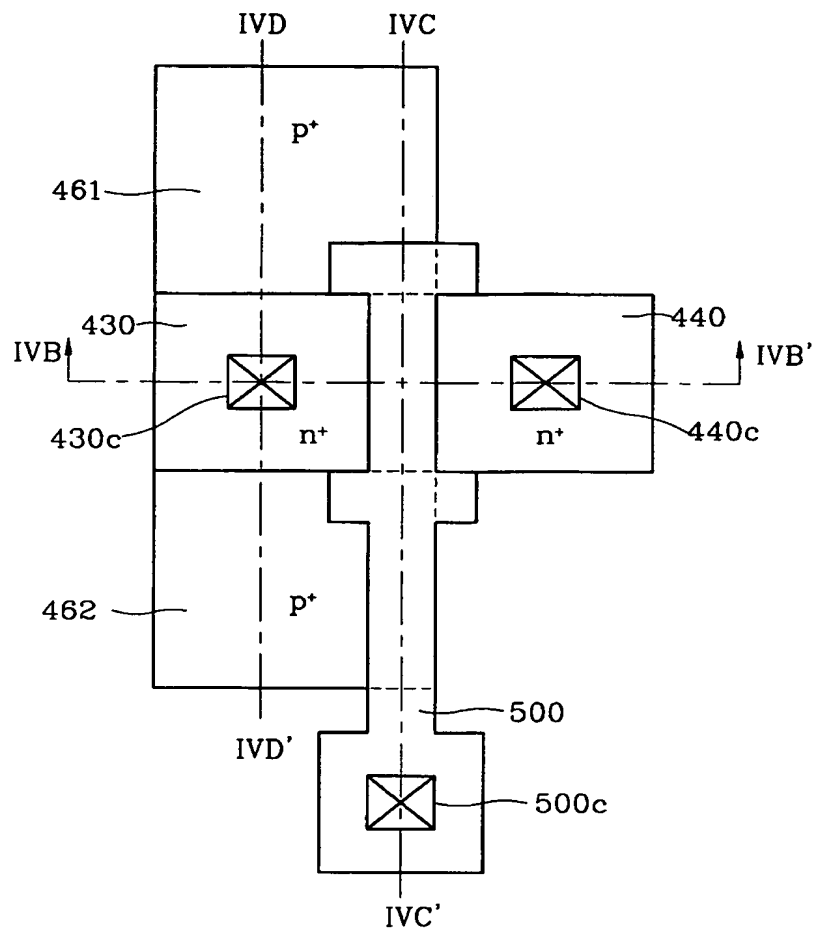
【도 2d】



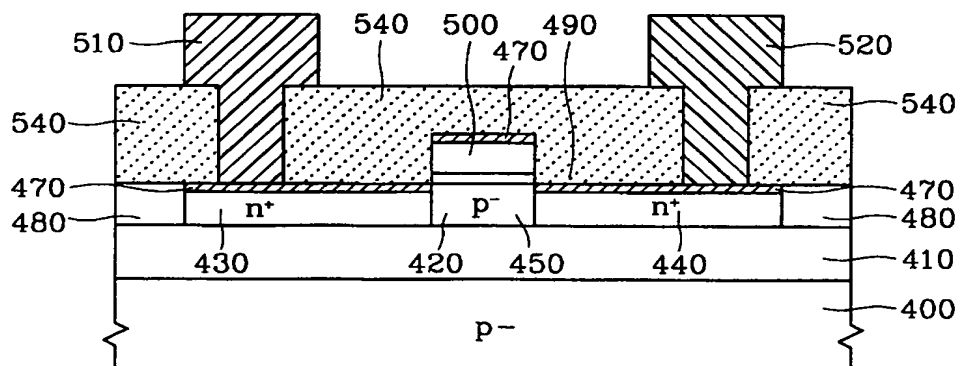
【图 3】



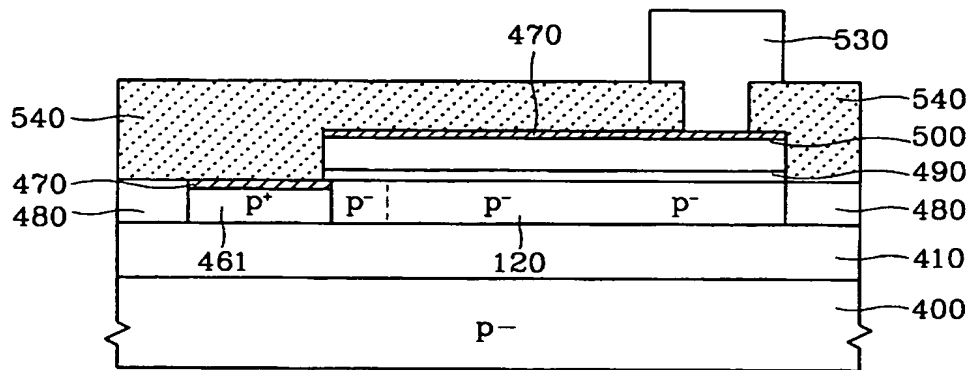
【도 4a】



【도 4b】



【도 4c】



【도 4d】

